

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of: Takashi ANDO

Serial Number: Not Yet Assigned

Filed: March 24, 2004

For: SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREOF

Attorney Docket No.: 042271

Customer No.: 38834

CLAIM FOR PRIORITY UNDER 35 U.S.C. 119

Commissioner for Patents
P. O. Box 1450
Alexandria, VA 22313-1450

March 24, 2004

Sir:

The benefit of the filing date of the following prior foreign application is hereby requested for the above-identified application, and the priority provided in 35 U.S.C. 119 is hereby claimed:

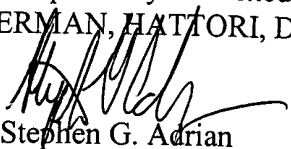
Japanese Appln. No. 2003-364917, filed on October 24, 2003

In support of this claim, the requisite certified copy of said original foreign application is filed herewith.

It is requested that the file of this application be marked to indicate that the applicants have complied with the requirements of 35 U.S.C. 119 and that the Patent and Trademark Office kindly acknowledge receipt of said certified copy.

In the event that any fees are due in connection with this paper, please charge our Deposit Account No. 50-2866.

Respectfully submitted,
WESTERMAN, HATTORI, DANIELS & ADRIAN, LLP


Stephen G. Adrian
Reg. No. 32,878

1250 Connecticut Avenue, N.W., Suite 700
Washington, D.C. 20036
Tel: (202) 822-1100
Fax: (202) 822-1111
SGA/II

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application: 2003年10月24日

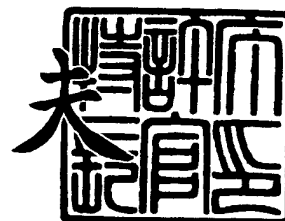
出願番号
Application Number: 特願2003-364917
[ST. 10/C]: [JP2003-364917]

出願人
Applicant(s): 富士通株式会社

2004年 1月15日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



出証番号 出証特2003-3112018

【書類名】 特許願
【整理番号】 0340822
【提出日】 平成15年10月24日
【あて先】 特許庁長官殿
【国際特許分類】 H01L 21/00
【発明者】
 【住所又は居所】 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社
 内
 【氏名】 安藤 崇志
【特許出願人】
 【識別番号】 000005223
 【氏名又は名称】 富士通株式会社
【代理人】
 【識別番号】 100090273
 【弁理士】
 【氏名又は名称】 國分 孝悦
 【電話番号】 03-3590-8901
【手数料の表示】
 【予納台帳番号】 035493
 【納付金額】 21,000円
【提出物件の目録】
 【物件名】 特許請求の範囲 1
 【物件名】 明細書 1
 【物件名】 図面 1
 【物件名】 要約書 1
 【包括委任状番号】 9908504

【書類名】 特許請求の範囲**【請求項 1】**

半導体基板と、
前記半導体基板の表面に形成された複数のトランジスタと、
前記トランジスタを覆う層間絶縁膜と、
前記層間絶縁膜上に形成され、前記トランジスタのソース及びドレインの一方に第 1 のコンタクトプラグを介して電極が接続された複数の強誘電体キャパシタと、
を有し、
前記複数の強誘電体キャパシタは、アレイ状に配置されており、
前記複数の強誘電体キャパシタの平面形状は、実質的に長方形であり、
前記長方形の長辺の長さ、隣り合う 2 個の強誘電体キャパシタの長辺同士の間隔と、
の比は、前記長方形の短辺の長さ、隣り合う 2 個の強誘電体キャパシタの短辺同士の間隔との比と実質的に一致していることを特徴とする半導体装置。

【請求項 2】

半導体基板と、
前記半導体基板の表面に形成された複数のトランジスタと、
前記トランジスタを覆う層間絶縁膜と、
前記層間絶縁膜上に形成され、前記トランジスタのソース及びドレインの一方に第 1 のコンタクトプラグを介して電極が接続された複数の強誘電体キャパシタと、
前記層間絶縁膜上に形成され、前記トランジスタのソース及びドレインの他方に第 2 のコンタクトプラグを介して接続された複数のビット線と、
を有し、
前記複数の強誘電体キャパシタは、アレイ状に配置されており、
前記第 1 のコンタクトプラグは、前記複数の強誘電体キャパシタのうちの 4 個が構成する最小の長方形の実質的な中心に位置していることを特徴とする半導体装置。

【請求項 3】

半導体基板と、
前記半導体基板の表面に形成された複数のトランジスタと、
前記トランジスタを覆う層間絶縁膜と、
前記層間絶縁膜上に形成され、前記トランジスタのソース及びドレインの一方に第 1 のコンタクトプラグを介して電極が接続された複数の強誘電体キャパシタと、
前記層間絶縁膜上に形成され、前記トランジスタの各々のソース及びドレインの他方に第 2 のコンタクトプラグを介して接続された複数のビット線と、
を有し、
前記複数の強誘電体キャパシタは、アレイ状に配置されており、
前記複数の強誘電体キャパシタの平面形状は、実質的に長方形であり、
前記第 1 のコンタクトプラグは、隣り合う 2 個の強誘電体キャパシタの長辺の間に位置していることを特徴とする半導体装置。

【請求項 4】

前記複数の強誘電体キャパシタの平面形状は、実質的に正方形であり、
前記複数の強誘電体キャパシタが構成するアレイの行方向及び列方向のいずれにおいても、隣り合う強誘電体キャパシタ同士の間隔は実質的に一定となっていることを特徴とする請求項 1 乃至 3 のいずれか 1 項に記載の半導体装置。

【請求項 5】

前記複数の強誘電体キャパシタの平面形状は、実質的に長方形であり、
隣り合う 2 個の強誘電体キャパシタの長辺同士の間隔は、隣り合う 2 個の強誘電体キャパシタの短辺同士の間隔よりも広いことを特徴とする請求項 1 乃至 3 のいずれか 1 項に記載の半導体装置。

【請求項 6】

半導体基板と、

前記半導体基板の表面に形成された複数のトランジスタと、
前記トランジスタを覆う層間絶縁膜と、
前記層間絶縁膜上に形成され、前記トランジスタのソース及びドレインの一方に第1の
コンタクトプラグを介して電極が接続された複数の強誘電体キャパシタと、
を有し、
前記強誘電体キャパシタの平面形状は、実質的に円であることを特徴とする半導体装置

【請求項7】

半導体基板の表面に複数のトランジスタを形成する工程と、
前記トランジスタを覆う層間絶縁膜を形成する工程と、
前記層間絶縁膜上に、前記トランジスタのソース及びドレインの一方に第1のコンタ
クトプラグを介して電極が接続される複数の強誘電体キャパシタを形成する工程と、
を有し、
前記複数の強誘電体キャパシタを、アレイ状に配置し、
前記複数の強誘電体キャパシタの平面形状を、実質的に長方形とし、
前記長方形の長辺の長さ、隣り合う2個の強誘電体キャパシタの長辺同士の間隔と、
の比を、前記長方形の短辺の長さ、隣り合う2個の強誘電体キャパシタの短辺同士の間
隔との比と実質的に一致させることを特徴とする半導体装置の製造方法。

【請求項8】

半導体基板の表面に複数のトランジスタを形成する工程と、
前記トランジスタを覆う層間絶縁膜を形成する工程と、
前記層間絶縁膜上に、前記トランジスタのソース及びドレインの一方に第1のコンタ
クトプラグを介して電極が接続される複数の強誘電体キャパシタを形成する工程と、
前記層間絶縁膜上に、前記トランジスタのソース及びドレインの他方に第2のコンタ
クトプラグを介して接続される複数のビット線を形成する工程と、
を有し、
前記複数の強誘電体キャパシタを、アレイ状に配置し、
前記第1のコンタクトプラグを、前記複数の強誘電体キャパシタのうちの4個が構成す
る最小の長方形の実質的な中心に位置させることを特徴とする半導体装置の製造方法。

【請求項9】

半導体基板の表面に複数のトランジスタを形成する工程と、
前記トランジスタを覆う層間絶縁膜を形成する工程と、
前記層間絶縁膜上に、前記トランジスタのソース及びドレインの一方に第1のコンタ
クトプラグを介して電極が接続される複数の強誘電体キャパシタを形成する工程と、
前記層間絶縁膜上に、前記トランジスタの各々のソース及びドレインの他方に第2の
コンタクトプラグを介して接続される複数のビット線を形成する工程と、
を有し、
前記複数の強誘電体キャパシタを、アレイ状に配置し、
前記複数の強誘電体キャパシタの平面形状を、実質的に長方形とし、
前記第1のコンタクトプラグを、隣り合う2個の強誘電体キャパシタの長辺の間に位置
させることを特徴とする半導体装置の製造方法。

【請求項10】

半導体基板の表面に複数のトランジスタを形成する工程と、
前記トランジスタを覆う層間絶縁膜を形成する工程と、
前記層間絶縁膜上に、前記トランジスタのソース及びドレインの一方に第1のコンタ
クトプラグを介して電極が接続される複数の強誘電体キャパシタを形成する工程と、
を有し、
前記強誘電体キャパシタの平面形状を、実質的に円とすることを特徴とする半導体装置
の製造方法。

【書類名】明細書

【発明の名称】半導体装置及びその製造方法

【技術分野】

【0001】

本発明は、強誘電体メモリに好適な半導体装置及びその製造方法に関する。

【背景技術】

【0002】

近時、0.18 μm 世代の強誘電体キャパシタの形状として、集積度の向上を目的として、側面が垂直に近い形状が求められている。このため、例えばハードマスクを用いた高温一括エッチング法で、上部電極膜、強誘電体膜及び下部電極膜を一括してエッチングする方法が採用されはじめている。このとき、ハードマスクの構造としては、TEOS膜及びTiN膜の積層構造が採用されている。

【0003】

但し、現在のプロセスにおいて高温一括エッチング法を採用した場合、強誘電体膜のエッチング中に発生した飛散物が、変質した後にキャパシタの側壁部に堆積することがある。このような側壁堆積物が存在すると、上部電極と下部電極との間にリーク電流が生じることがある。そこで、従来、下部電極膜のエッチングの際に、この堆積物を除去するようにしている。

【0004】

しかしながら、側壁堆積物は、強誘電体膜に対するエッチングダメージを抑える作用を有している。このため、従来の強誘電体メモリを製造する際に強誘電体キャパシタの側壁堆積物を完全に除去してしまうと、強誘電体膜の損傷が局所的に極めて大きくなり、所望の特性が得られなくなってしまう。このため、従来の強誘電体メモリでは、リーク電流を十分に抑制することができない。

【0005】

【特許文献1】特開2003-092391号公報

【発明の開示】

【発明が解決しようとする課題】

【0006】

本発明は、強誘電体膜の局所的な損傷を抑制しながらリーク電流を十分に低減することができる構造の強誘電体キャパシタを備えた半導体装置及びその製造方法を提供することを目的とする。

【課題を解決するための手段】

【0007】

本願発明者は、前記課題を解決すべく鋭意検討を重ねた結果、互いにトレードオフの関係にある側壁堆積物の除去によるリーク電流の低減、及び強誘電体膜のエッチングダメージの低減について、次のような見解を得た。

【0008】

本願発明者が撮影した高温一括エッチング後の典型的なSEM写真（走査型電子顕微鏡写真）を図13に示す。図13に示すように、キャパシタ同士の間隔が狭い長辺には側壁堆積物が付着しやすく、容量絶縁膜（強誘電体膜）には損傷が生じていないが、キャパシタ同士の間隔が広い短辺には側壁堆積物が付着しにくく、容量絶縁膜の上部電極側に損傷が生じている。

【0009】

このような観察結果に基づき、本願発明者は、高温一括エッチング時の側壁堆積物の付着しやすさは、エッチング条件だけでなく、キャパシタの辺の長さ及びキャパシタ同士の間隔という2つの形状因子の影響も受けることを見出した。つまり、従来のセルキャパシタのレイアウトでは、図10～図12に示すように、隣り合うキャパシタ同士の間隔が列方向と行方向とで相違している。このため、キャパシタの長辺と短辺とで側壁堆積物の量が相違しており、リーク電流を低減しながら損傷を抑制できるように、エッチング条件を

調整することが困難となっているのである。

【0010】

そこで、本願発明者が、側壁堆積物の付着しやすさをキャパシタのリーク電流密度により定量化し、これらの形状因子との関係を求めた。この結果を表1に示す。ここで、リーク指数Lは、「(キャパシタの辺の長さ) / (キャパシタ同士の間隔)」と定義した。

【0011】

【表1】

キャパシタの辺の長さ(μm)	0.8	1.0	1.5
キャパシタ同士の間隔(μm)	0.7	0.5	0.5
リーク指数L: A/B	1.1	2.0	3.0
6Vリーク電流密度 (A/cm ²)	1×10 ⁻¹	1×10 ⁰	1×10 ² 以上

【0012】

表1に示すように、リーク指数Lが大きいほど、キャパシタリーク電流密度が大きくなるという関係が確認された。

【0013】

そして、本願発明者は、これらの見解に基づき、以下に示す発明の諸態様に想到した。

【0014】

本発明に係る第1の半導体装置は、半導体基板と、前記半導体基板の表面に形成された複数のトランジスタと、前記トランジスタを覆う層間絶縁膜と、前記層間絶縁膜上に形成され、前記トランジスタのソース及びドレインの一方に第1のコンタクトプラグを介して電極が接続された複数の強誘電体キャパシタと、を有する半導体装置を対象とする。そして、第1の半導体装置は、前記複数の強誘電体キャパシタは、アレイ状に配置されており、前記複数の強誘電体キャパシタの平面形状は、実質的に長方形(正方形を含む。)であり、前記長方形の長辺の長さ、隣り合う2個の強誘電体キャパシタの長辺同士の間隔との比は、前記長方形の短辺の長さ、隣り合う2個の強誘電体キャパシタの短辺同士の間隔との比と実質的に一致していることを特徴とする。強誘電体キャパシタの平面形状が正方形の場合、長辺と短辺との区別がないため、4辺について長さ、間隔との比が実質的に一致している。

【0015】

本発明に係る第2の半導体装置は、半導体基板と、前記半導体基板の表面に形成された複数のトランジスタと、前記トランジスタを覆う層間絶縁膜と、前記層間絶縁膜上に形成され、前記トランジスタのソース及びドレインの一方に第1のコンタクトプラグを介して電極が接続された複数の強誘電体キャパシタと、前記層間絶縁膜上に形成され、前記トランジスタのソース及びドレインの他方に第2のコンタクトプラグを介して接続された複数のビット線と、を有する半導体装置を対象とする。そして、第2の半導体装置は、前記複数の強誘電体キャパシタは、アレイ状に配置されており、前記第1のコンタクトプラグは、前記複数の強誘電体キャパシタのうちの4個が構成する最小の長方形(正方形を含む。)の実質的な中心に位置していることを特徴とする。

【0016】

本発明に係る第3の半導体装置は、半導体基板と、前記半導体基板の表面に形成された複数のトランジスタと、前記トランジスタを覆う層間絶縁膜と、前記層間絶縁膜上に形成され、前記トランジスタのソース及びドレインの一方に第1のコンタクトプラグを介して電極が接続された複数の強誘電体キャパシタと、前記層間絶縁膜上に形成され、前記トランジスタの各々のソース及びドレインの他方に第2のコンタクトプラグを介して接続された複数のビット線と、を有する半導体装置を対象とする。そして、第3の半導体装置は、前記複数の強誘電体キャパシタは、アレイ状に配置されており、前記複数の強誘電体キャパシタの平面形状は、実質的に長方形であり、前記第1のコンタクトプラグは、隣り合う2個の強誘電体キャパシタの長辺の間に位置していることを特徴とする。

【0017】

本発明に係る第4の半導体装置は、半導体基板と、前記半導体基板の表面に形成された複数のトランジスタと、前記トランジスタを覆う層間絶縁膜と、前記層間絶縁膜上に形成され、前記トランジスタのソース及びドレインの一方に第1のコンタクトプラグを介して電極が接続された複数の強誘電体キャパシタと、を有する半導体装置を対象とする。そして、第4の半導体装置は、前記強誘電体キャパシタの平面形状は、実質的に円であることを特徴とする。

【発明の効果】

【0018】

本発明によれば、強誘電体キャパシタの側壁に付着する側壁堆積物の量が全周にわたってほぼ均一になるため、ある部分ではリーク電流が高くなり、他のある部分では損傷が大きくなるような現象を回避することができる。このため、エッチング条件を調整することのみで、容易に強誘電体膜の局所的な損傷を抑制しながらリーク電流を低減することができる。

【発明を実施するための最良の形態】

【0019】

以下、本発明の実施形態について、添付の図面を参照して具体的に説明する。図1は、本発明の実施形態に係る強誘電体メモリ（半導体装置）のメモリセルアレイの構成を示す回路図である。

【0020】

このメモリセルアレイには、一の方向に延びる複数本のビット線103、並びにビット線103が延びる方向に対して垂直な方向に延びる複数本のワード線104及びプレート線105が設けられている。また、これらのビット線103、ワード線104及びプレート線105が構成する格子と整合するようにして、複数個の本実施形態に係る強誘電体メモリのメモリセルがアレイ状に配置されている。各メモリセルには、強誘電体キャパシタ101及びMOSトランジスタ102が設けられている。

【0021】

MOSトランジスタ102のゲートはワード線104に接続されている。また、MOSトランジスタ102の一方のソース・ドレインはビット線103に接続され、他方のソース・ドレインは強誘電体キャパシタ101の一方の電極に接続されている。そして、強誘電体キャパシタ101の他方の電極がプレート線105に接続されている。なお、各ワード線104及びプレート線105は、それらが延びる方向と同一の方向に並ぶ複数個のMOSトランジスタ102により共有されている。同様に、各ビット線103は、それが延びる方向と同一の方向に並ぶ複数個のMOSトランジスタ102により共有されている。ワード線104及びプレート線105が延びる方向、ビット線103が延びる方向は、夫々行方向、列方向とよばれることがある。

【0022】

このように構成された強誘電体メモリのメモリセルアレイでは、強誘電体キャパシタ101に設けられた強誘電体膜の分極状態に応じて、データが記憶される。

【0023】

（第1の実施形態）

次に、本発明の第1の実施形態について説明する。図2は、本発明の第1の実施形態に係る半導体装置（強誘電体メモリ）の構成を示すレイアウト図である。また、図3は、図2中のI-I線に沿った断面図、図4（a）は、図2中のI-I-I線に沿った断面図、図4（b）は、図2中のI-I-I-I線に沿った断面図、図5は、図2中のI-V-I-V線に沿った断面図である。

【0024】

本実施形態においては、図2～図5に示すように、Si基板等の半導体基板1の表面に、一方向に延びる複数の素子領域21を区画する素子分離絶縁膜2が、例えばSTI（Shallow Trench Isolation）法により形成されている。また、素子領域21が延びる方向に対して45度程度傾斜した方向に延びるゲート電極4（ワード線）がゲート絶縁膜3を介

して半導体基板 1 上に形成されている。2 本のゲート電極 4 により、各素子領域 2 1 が 3 分割されている。また、素子領域 2 1 内の半導体基板 1 の表面には、ゲート電極 4 に対して自己整合的に不純物拡散層 6 及び 7 が形成されている。不純物拡散層 7 は、2 本のゲート電極 4 により 3 分割された素子領域 2 1 の中央部に形成され、不純物拡散層 6 は、素子領域 2 1 の両端部に形成されている。更に、各ゲート電極 4 の側方にはサイドウォール 5 が形成されている。このようにして MOS トランジスタが構成され、この MOS トランジスタが図 1 中の MOS トランジスタ 1 0 1 に相当する。

【0025】

半導体基板 1 の上には、MOS トランジスタを覆うようにして層間絶縁膜 8 が形成されている。層間絶縁膜 8 には、不純物拡散層 6 まで到達するコンタクトホール 3 1、及び不純物拡散層 7 まで到達するコンタクトホール 3 2 が形成されている。コンタクトホール 3 1 内には、W プラグ 9 がバリアメタル膜を介して埋め込まれ、コンタクトホール 3 2 内には、W プラグ 1 0 がバリアメタル膜を介して埋め込まれている。

【0026】

層間絶縁膜 8 上には、ゲート電極 4 に対して直交する方向に延びるビット線 1 1 が形成されている。ビット線 1 1 は W プラグ 1 0 に接続されている。また、層間絶縁膜 8 上には、下部電極 1 2、容量絶縁膜 1 3 及び上部電極 1 4 からなる強誘電体キャパシタ 1 5 が形成されている。下部電極 1 2 は W プラグ 9 に接続されている。容量絶縁膜 1 3 は、 PZT ($Pb(Zr, Ti)O_3$) 等の強誘電体膜である。強誘電体キャパシタ 1 5 が図 1 中の強誘電体キャパシタ 1 0 1 に相当する。

【0027】

ここで、強誘電体キャパシタ 1 5 の平面形状は、実質的に正方形である。また、ゲート電極 4 が延びる方向において互いに隣り合う強誘電体キャパシタ 1 5 同士の間隔は、ビット線 1 1 が延びる方向において互いに隣り合う強誘電体キャパシタ 1 5 同士の間隔と実質的に一致している。

【0028】

層間絶縁膜 8 上には、更に、ビット線 1 1 及び強誘電体キャパシタ 1 5 を覆う層間絶縁膜 1 6 が形成されている。層間絶縁膜 1 6 には、上部電極 1 4 まで到達するコンタクトホール 3 3 が形成され、コンタクトホール 3 3 内に W プラグ 1 7 がバリアメタル膜（図示せず）を介して埋め込まれている。そして、層間絶縁膜 1 6 上に、ゲート電極 4 と平行に延びるプレート線 1 8 が形成されている。プレート線 1 8 は W プラグ 1 7 に接続されている。

【0029】

更に、図示しない上層配線等が形成されて強誘電体メモリが構成されている。

【0030】

このように構成された第 1 の実施形態に係る強誘電体メモリにおいては、不純物拡散層 7 とビット線 1 1 とを接続する W プラグ 1 0 が、プレート線 1 8 が延びる方向において隣り合う強誘電体キャパシタ 1 5 の間ではなく、隣り合うプレート線 1 8 の間にずらして形成されている。従って、プレート線 1 8 が延びる方向において隣り合う強誘電体キャパシタ 1 5 同士の間隔を従来のものよりも狭めることができ、また、ビット線 1 1 が延びる方向において隣り合う強誘電体キャパシタ 1 5 同士の間隔を従来のものよりも広げることができる。つまり、上記の両方向において、強誘電体キャパシタ 1 5 同士の間隔を実質的に均一にすることができる。また、本実施形態では、強誘電体キャパシタ 1 5 同士の間隔をほぼ均一にするとともに、強誘電体キャパシタ 1 5 の平面形状を実質的な正方形としているので、表 1 に示したリーク指数 L が各辺についてほぼ均一になる。従って、その製造過程で強誘電体キャパシタ 1 5 に側壁堆積物が付着するとしても、その量は各辺についてほぼ均一になる。このため、エッチング条件の調整により、リーク電流を低減しながら容量絶縁膜 1 3 を構成する PZT 膜等の強誘電体膜の損傷を抑制できるように、側壁堆積物の付着量を制御することができる。

【0031】

なお、強誘電体キャパシタ 15 の平面形状は正方形であることが好ましいが、必ずしもその必要はなく、また、強誘電体キャパシタ 15 同士の間隔も実質的に均一であることが好ましいが、必ずしもその必要はない。但し、いずれの場合でも、リーク指数 L （（キャパシタの辺の長さ）／（キャパシタ同士の間隔））が実質的に均一であることが好ましい。例えば、強誘電体キャパシタ 15 の平面形状が長方形の場合には、隣り合う強誘電体キャパシタの短辺間の間隔を、隣り合う強誘電体キャパシタの長辺間の間隔よりも小さくすることにより、リーク指数 L を実質的に均一にすることが好ましい。

【0032】

（第 2 の実施形態）

次に、本発明の第 2 の実施形態について説明する。図 6 は、本発明の第 2 の実施形態に係る半導体装置（強誘電体メモリ）の構成を示すレイアウト図である。また、図 6 中の I-I 線に沿った断面図である。

【0033】

本実施形態においては、第 1 の実施形態とは異なり、素子領域 21 の平面形状が「く」の字型になっていると共に、ゲート電極 4（ワード線）が延びる方向が、ビット線 11 に平行、且つプレート線 18 に対して直交な方向となっている。そして、同一の素子領域 21 に設けられた 2 個の不純物拡散層 6 は、同一のプレート線 18 に上部電極 14 が接続される強誘電体キャパシタ 15 の下部電極 12 に接続されている。

【0034】

このように構成された第 2 の実施形態においても、第 1 の実施形態と同様の効果が得られる。

【0035】

（第 3 の実施形態）

次に、本発明の第 3 の実施形態について説明する。図 8 は、本発明の第 3 の実施形態に係る半導体装置（強誘電体メモリ）の構成を示すレイアウト図である。本実施形態では、図 10～図 12 に示す従来のレイアウトに対して、強誘電体キャパシタ 15 の平面形状を円としている。

【0036】

このような第 3 の実施形態では、その製造過程において、全体的に強誘電体キャパシタ 15 に高温一括エッチング時の側壁堆積物が付着しにくくなり、リーク電流が低減される。但し、前述のように、側壁堆積物は容量絶縁膜 13 の損傷を抑制する作用も有しているため、高温一括エッチング時には、エッチング条件を調整して容量絶縁膜 13 の損傷を抑制することが好ましい。高温一括エッチングの際、本実施形態では、強誘電体キャパシタ 15 の全周にわたって均一にエッチングが進行するため、局所的に強誘電体膜の損傷が大きくなることはない。

【0037】

（第 4 の実施形態）

次に、本発明の第 4 の実施形態について説明する。図 9 は、本発明の第 4 の実施形態に係る半導体装置（強誘電体メモリ）の構成を示すレイアウト図である。本実施形態では、図 10～図 12 に示す従来のレイアウトに対して、強誘電体キャパシタ 15 の平面形状を、長辺と短辺とを交換した形状としている。即ち、ビット線 11 に沿って強誘電体キャパシタ 15 の長辺が延び、プレート線 18 に沿って強誘電体キャパシタ 15 の短辺が延び、2 個の強誘電体キャパシタ 15 の長辺の間に、不純物拡散層 7 とビット線 11 とを接続する W プラグ 10 が位置している。また、長辺同士の間隔が短辺同士の間隔よりも大きくなっており、長辺及び短辺に関し、リーク指数 L がほぼ均一になるように、強誘電体キャパシタ 15 が形成されている。

【0038】

このように構成された第 4 の実施形態においても、側壁堆積物の付着は長辺及び短辺においてほぼ均一になるため、エッチング条件を調整することのみで、強誘電体膜の損傷を抑制しながらリーク電流を低減することができる。

【0039】

なお、これらの各実施形態に係る強誘電体メモリを製造するに当たっては、例えば、図10～図12に示すような従来の強誘電体メモリを製造する方法に対して、特に膜の成膜順序等を変更する必要はなく、図2等に示すレイアウトに沿ったパターンニング等を行えばよい。

【0040】

以下、本発明の諸態様を付記としてまとめて記載する。

【0041】

(付記1)

半導体基板と、

前記半導体基板の表面に形成された複数のトランジスタと、

前記トランジスタを覆う層間絶縁膜と、

前記層間絶縁膜上に形成され、前記トランジスタのソース及びドレインの一方に第1のコンタクトプラグを介して電極が接続された複数の強誘電体キャパシタと、

を有し、

前記複数の強誘電体キャパシタは、アレイ状に配置されており、

前記複数の強誘電体キャパシタの平面形状は、実質的に長方形であり、

前記長方形の長辺の長さと、隣り合う2個の強誘電体キャパシタの長辺同士の間隔と、の比は、前記長方形の短辺の長さと、隣り合う2個の強誘電体キャパシタの短辺同士の間隔との比と実質的に一致していることを特徴とする半導体装置。

【0042】

(付記2)

半導体基板と、

前記半導体基板の表面に形成された複数のトランジスタと、

前記トランジスタを覆う層間絶縁膜と、

前記層間絶縁膜上に形成され、前記トランジスタのソース及びドレインの一方に第1のコンタクトプラグを介して電極が接続された複数の強誘電体キャパシタと、

前記層間絶縁膜上に形成され、前記トランジスタのソース及びドレインの他方に第2のコンタクトプラグを介して接続された複数のビット線と、

を有し、

前記複数の強誘電体キャパシタは、アレイ状に配置されており、

前記第1のコンタクトプラグは、前記複数の強誘電体キャパシタのうちの4個が構成する最小の長方形の実質的な中心に位置していることを特徴とする半導体装置。

【0043】

(付記3)

前記トランジスタのソースとドレインとを結ぶ直線は、前記複数の強誘電体キャパシタが構成するアレイの行方向及び列方向に対して実質的に45度傾斜した方向に延びていることを特徴とする付記1又は2に記載の半導体装置。

【0044】

(付記4)

前記半導体基板の表面に形成され、複数の素子領域を区画する素子分離絶縁膜を有し、

前記複数の素子領域の各々には、前記トランジスタが2個ずつ含まれており、

前記各素子領域において、当該素子領域に含まれる一方のトランジスタのソースとドレインとを結ぶ直線は、他方のトランジスタのソースとドレインとを結ぶ直線と実質的に一致していることを特徴とする付記3に記載の半導体装置。

【0045】

(付記5)

前記半導体基板の表面に形成され、複数の素子領域を区画する素子分離絶縁膜を有し、

前記複数の素子領域の各々には、前記トランジスタが2個ずつ含まれており、

前記各素子領域において、当該素子領域に含まれる一方のトランジスタのソースとドレ

インとを結ぶ直線は、他方のトランジスタのソースとドレインとを結ぶ直線と実質的に直交していることを特徴とする付記 3 に記載の半導体装置。

【0046】

(付記 6)

前記トランジスタのソース及びドレインの他方は、前記各素子領域内で 2 個のトランジスタにより共有されていることを特徴とする付記 4 又は 5 に記載の半導体装置。

【0047】

(付記 7)

半導体基板と、

前記半導体基板の表面に形成された複数のトランジスタと、

前記トランジスタを覆う層間絶縁膜と、

前記層間絶縁膜上に形成され、前記トランジスタのソース及びドレインの一方に第 1 のコンタクトプラグを介して電極が接続された複数の強誘電体キャパシタと、

前記層間絶縁膜上に形成され、前記トランジスタの各々のソース及びドレインの他方に第 2 のコンタクトプラグを介して接続された複数のビット線と、

を有し、

前記複数の強誘電体キャパシタは、アレイ状に配置されており、

前記複数の強誘電体キャパシタの平面形状は、実質的に長方形であり、

前記第 1 のコンタクトプラグは、隣り合う 2 個の強誘電体キャパシタの長辺の間に位置していることを特徴とする半導体装置。

【0048】

(付記 8)

前記複数の強誘電体キャパシタの平面形状は、実質的に正方形であり、

前記複数の強誘電体キャパシタが構成するアレイの行方向及び列方向のいずれにおいても、隣り合う強誘電体キャパシタ同士の間隔は実質的に一定となっていることを特徴とする付記 1 乃至 7 のいずれか 1 項に記載の半導体装置。

【0049】

(付記 9)

前記複数の強誘電体キャパシタの平面形状は、実質的に長方形であり、

隣り合う 2 個の強誘電体キャパシタの長辺同士の間隔は、隣り合う 2 個の強誘電体キャパシタの短辺同士の間隔よりも広いことを特徴とする付記 1 乃至 7 のいずれか 1 項に記載の半導体装置。

【0050】

(付記 10)

半導体基板と、

前記半導体基板の表面に形成された複数のトランジスタと、

前記トランジスタを覆う層間絶縁膜と、

前記層間絶縁膜上に形成され、前記トランジスタのソース及びドレインの一方に第 1 のコンタクトプラグを介して電極が接続された複数の強誘電体キャパシタと、

を有し、

前記強誘電体キャパシタの平面形状は、実質的に円であることを特徴とする半導体装置。

【0051】

(付記 11)

半導体基板の表面に複数のトランジスタを形成する工程と、

前記トランジスタを覆う層間絶縁膜を形成する工程と、

前記層間絶縁膜上に、前記トランジスタのソース及びドレインの一方に第 1 のコンタクトプラグを介して電極が接続される複数の強誘電体キャパシタを形成する工程と、

を有し、

前記複数の強誘電体キャパシタを、アレイ状に配置し、

前記複数の強誘電体キャパシタの平面形状を、実質的に長方形とし、
前記長方形の長辺の長さ、隣り合う 2 個の強誘電体キャパシタの長辺同士の間隔と、
の比を、前記長方形の短辺の長さ、隣り合う 2 個の強誘電体キャパシタの短辺同士の間隔との比と実質的に一致させることを特徴とする半導体装置の製造方法。

【 0 0 5 2 】

(付記 1 2)

半導体基板の表面に複数のトランジスタを形成する工程と、
前記トランジスタを覆う層間絶縁膜を形成する工程と、
前記層間絶縁膜上に、前記トランジスタのソース及びドレインの一方に第 1 のコンタクトプラグを介して電極が接続される複数の強誘電体キャパシタを形成する工程と、
前記層間絶縁膜上に、前記トランジスタのソース及びドレインの他方に第 2 のコンタクトプラグを介して接続される複数のビット線を形成する工程と、
を有し、
前記複数の強誘電体キャパシタを、アレイ状に配置し、
前記第 1 のコンタクトプラグを、前記複数の強誘電体キャパシタのうちの 4 個が構成する最小の長方形の実質的な中心に位置させることを特徴とする半導体装置の製造方法。

【 0 0 5 3 】

(付記 1 3)

半導体基板の表面に複数のトランジスタを形成する工程と、
前記トランジスタを覆う層間絶縁膜を形成する工程と、
前記層間絶縁膜上に、前記トランジスタのソース及びドレインの一方に第 1 のコンタクトプラグを介して電極が接続される複数の強誘電体キャパシタを形成する工程と、
前記層間絶縁膜上に、前記トランジスタの各々のソース及びドレインの他方に第 2 のコンタクトプラグを介して接続される複数のビット線を形成する工程と、
を有し、
前記複数の強誘電体キャパシタを、アレイ状に配置し、
前記複数の強誘電体キャパシタの平面形状を、実質的に長方形とし、
前記第 1 のコンタクトプラグを、隣り合う 2 個の強誘電体キャパシタの長辺の間に位置させることを特徴とする半導体装置の製造方法。

【 0 0 5 4 】

(付記 1 4)

前記複数の強誘電体キャパシタの平面形状を、実質的に正方形とし、
前記複数の強誘電体キャパシタが構成するアレイの行方向及び列方向のいずれにおいても、隣り合う強誘電体キャパシタ同士の間隔を実質的に一定とすることを特徴とする付記 1 1 乃至 1 3 のいずれか 1 項に記載の半導体装置の製造方法。

【 0 0 5 5 】

(付記 1 5)

前記複数の強誘電体キャパシタの平面形状を、実質的に長方形とし、
隣り合う 2 個の強誘電体キャパシタの長辺同士の間隔を、隣り合う 2 個の強誘電体キャパシタの短辺同士の間隔よりも広くすることを特徴とする付記 1 1 乃至 1 3 のいずれか 1 項に記載の半導体装置の製造方法。

【 0 0 5 6 】

(付記 1 6)

半導体基板の表面に複数のトランジスタを形成する工程と、
前記トランジスタを覆う層間絶縁膜を形成する工程と、
前記層間絶縁膜上に、前記トランジスタのソース及びドレインの一方に第 1 のコンタクトプラグを介して電極が接続される複数の強誘電体キャパシタを形成する工程と、
を有し、
前記強誘電体キャパシタの平面形状を、実質的に円とすることを特徴とする半導体装置の製造方法。

【図面の簡単な説明】

【0057】

【図1】本発明の実施形態に係る強誘電体メモリ（半導体装置）のメモリセルアレイの構成を示す回路図である。

【図2】本発明の第1の実施形態に係る半導体装置（強誘電体メモリ）の構成を示すレイアウト図である。

【図3】図2中のI-I線に沿った断面図である。

【図4】（a）は図2中のI-I線に沿った断面図であり、（b）は図2中のI-I-I線に沿った断面図である。

【図5】図2中のI-V-I線に沿った断面図である。

【図6】本発明の第2の実施形態に係る半導体装置（強誘電体メモリ）の構成を示すレイアウト図である。

【図7】図6中のI-I線に沿った断面図である。

【図8】本発明の第3の実施形態に係る半導体装置（強誘電体メモリ）の構成を示すレイアウト図である。

【図9】本発明の第4の実施形態に係る半導体装置（強誘電体メモリ）の構成を示すレイアウト図である。

【図10】従来の半導体装置（強誘電体メモリ）の構成を示すレイアウト図である。

【図11】図10中のI-I線に沿った断面図である。

【図12】図10中のI-I-I線に沿った断面図である。

【図13】高温一括エッチング後の強誘電体キャパシタを示す顕微鏡写真である。

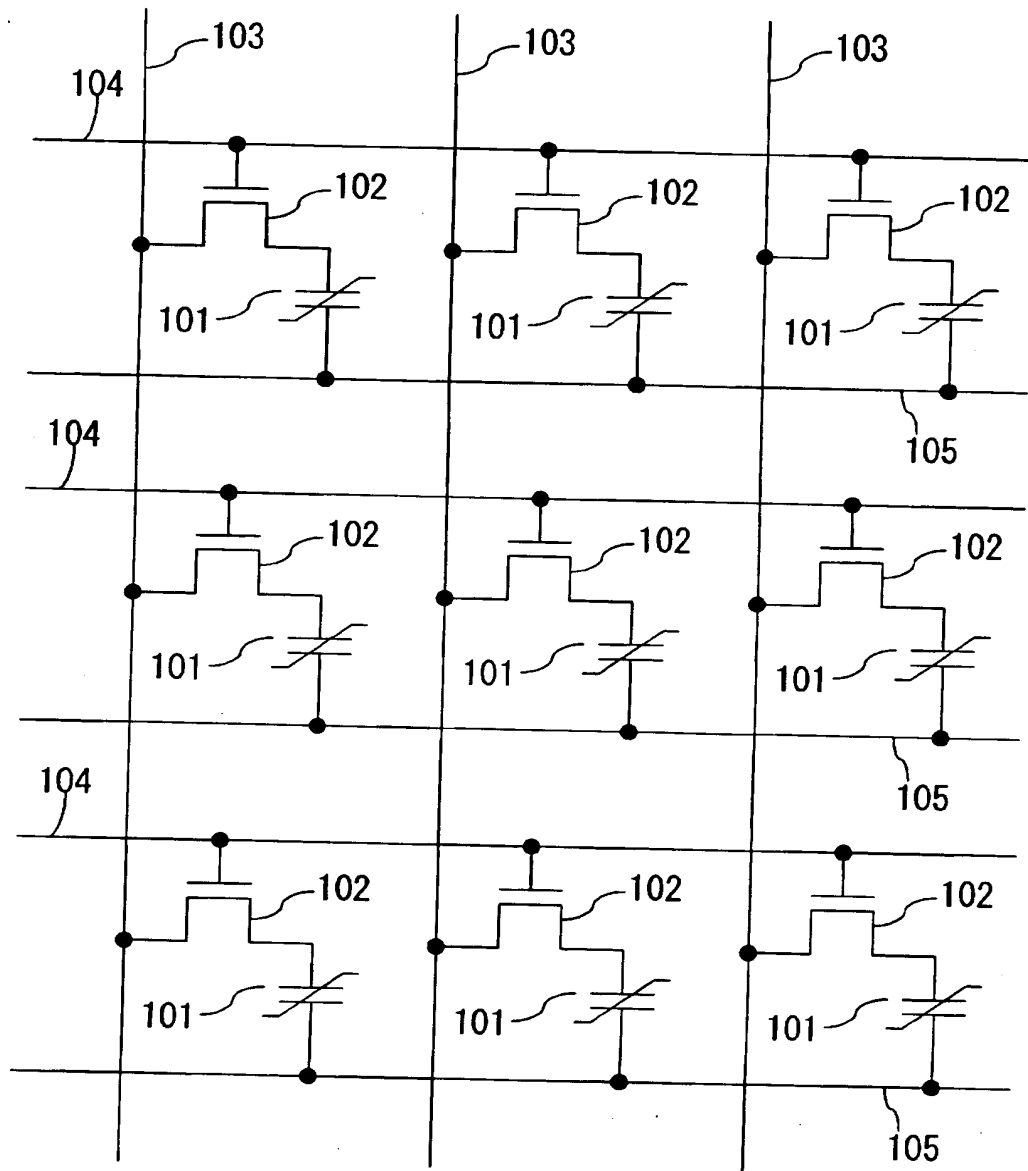
【符号の説明】

【0058】

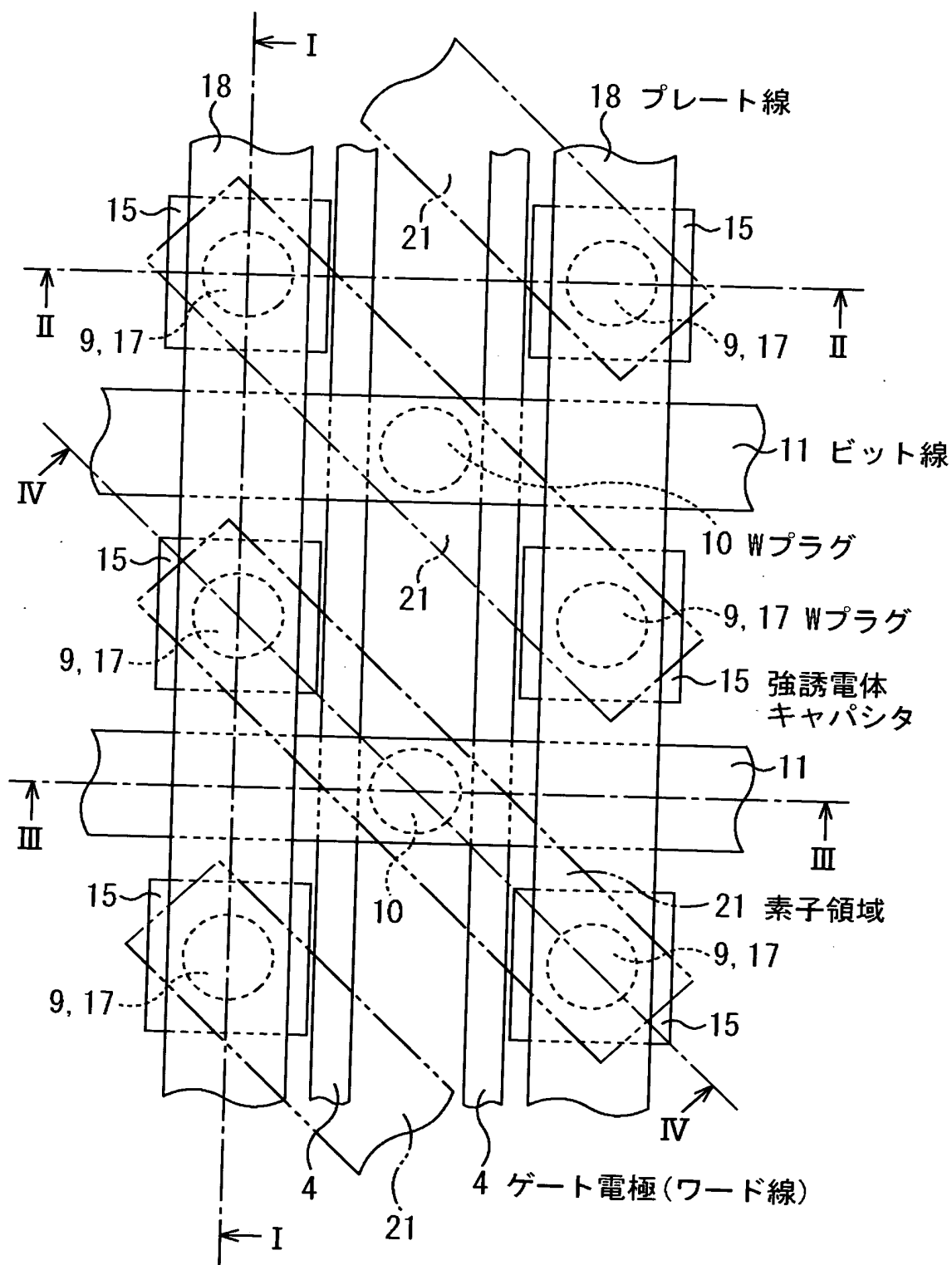
- 1：半導体基板
- 2：素子分離絶縁膜
- 3：ゲート絶縁膜
- 4：ゲート電極（ワード線）
- 5：サイドウォール
- 6、7：不純物拡散層
- 8、16：層間絶縁膜
- 9、10、17：Wプラグ
- 11：ビット線
- 12：下部電極
- 13：容量絶縁膜
- 14：上部電極
- 15：強誘電体キャパシタ
- 18：プレート線
- 21：素子領域
- 31、32、33：コンタクトホール
- 101：強誘電体キャパシタ
- 102：MOSトランジスタ
- 103：ビット線
- 104：ワード線
- 105：プレート線

【書類名】 図面

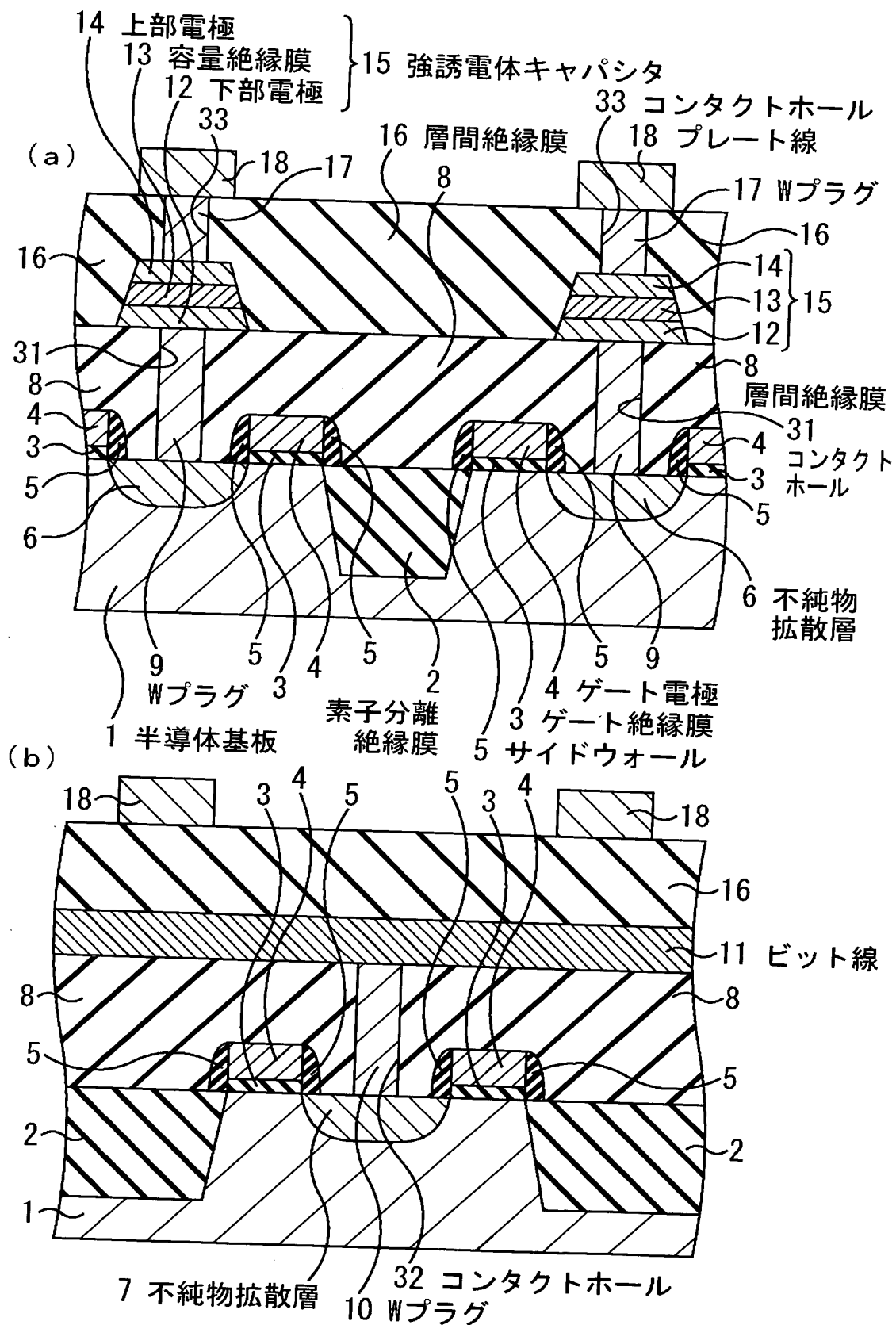
【図 1】



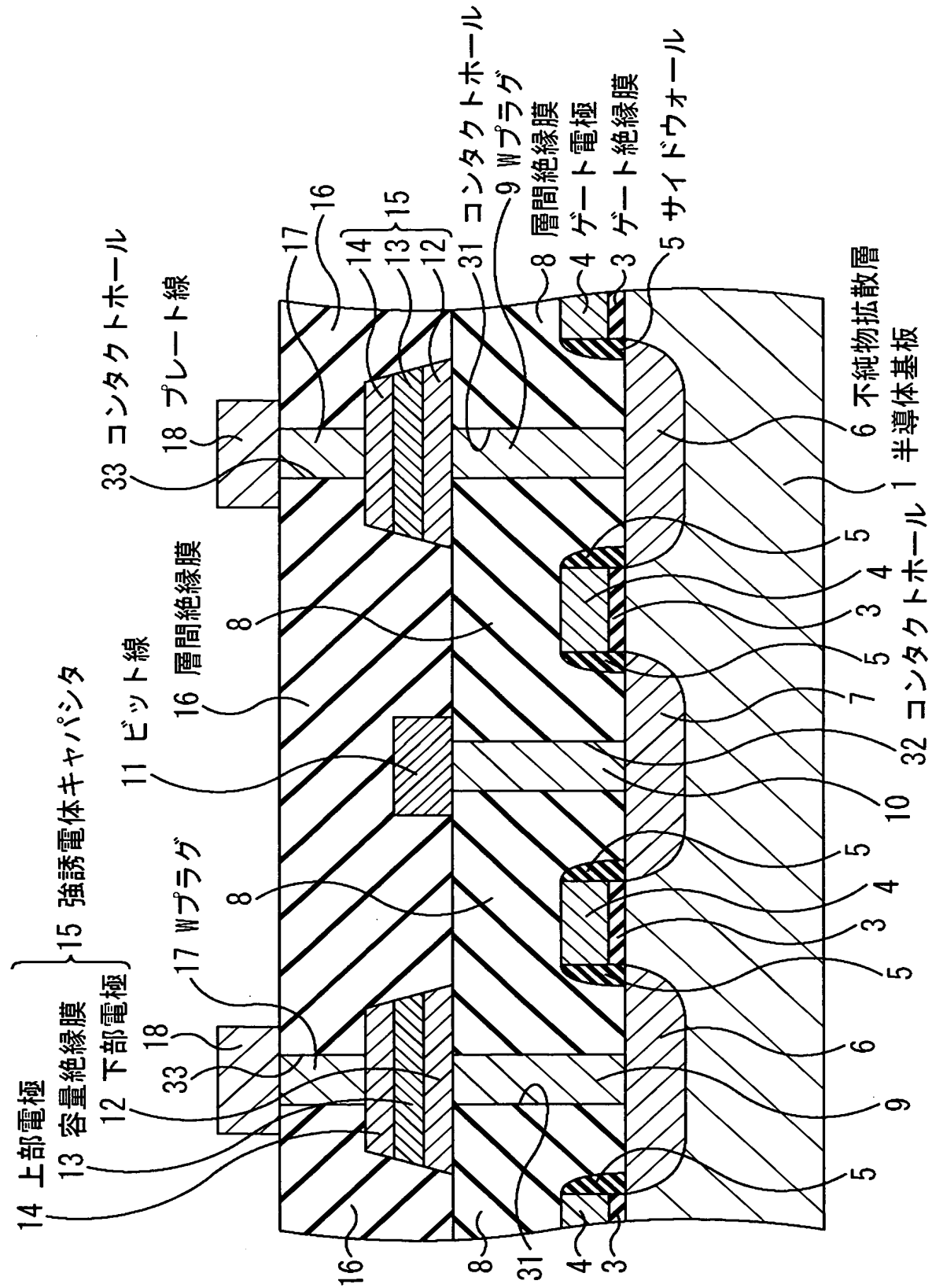
【図 2】



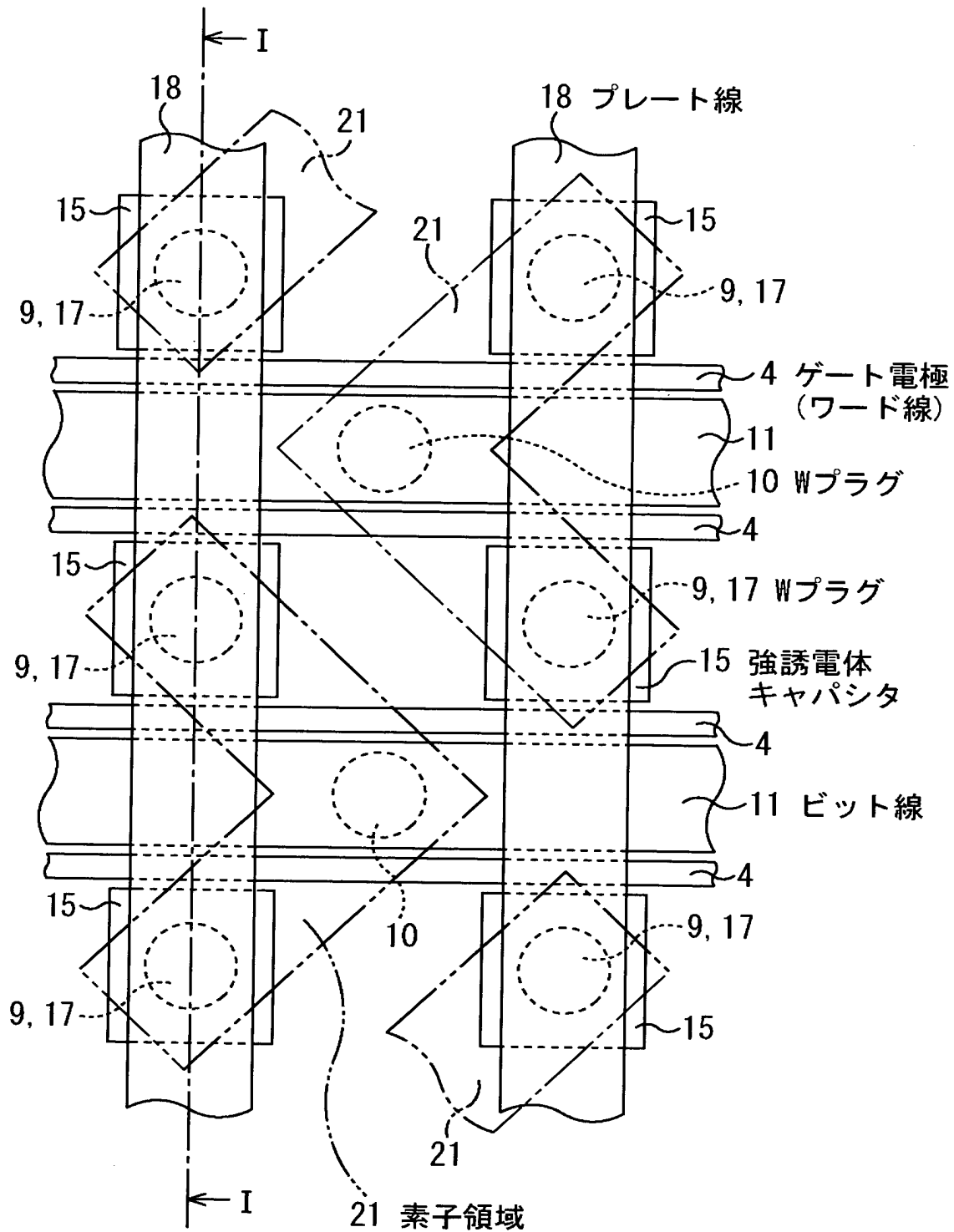
【図 4】



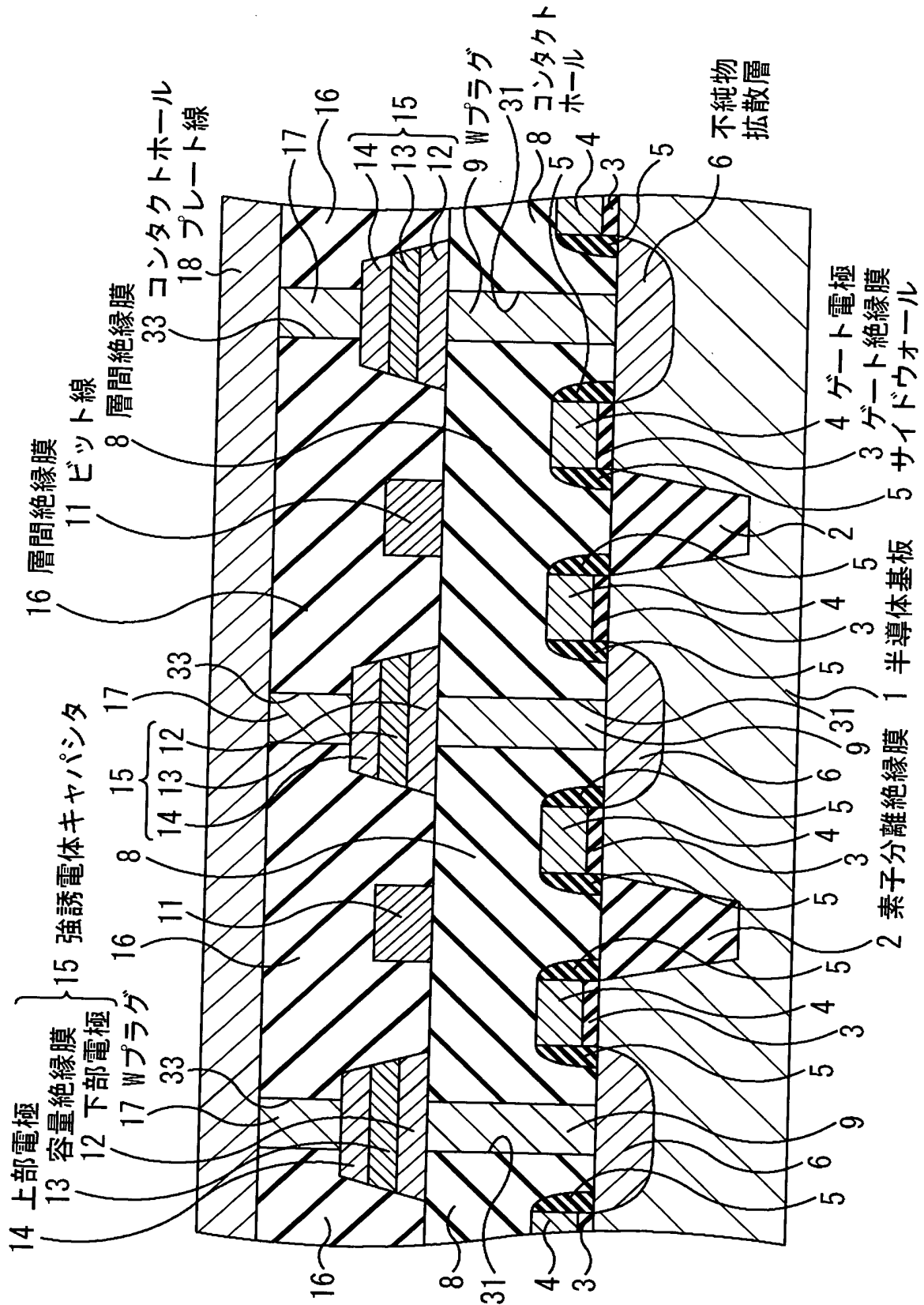
【図 5】



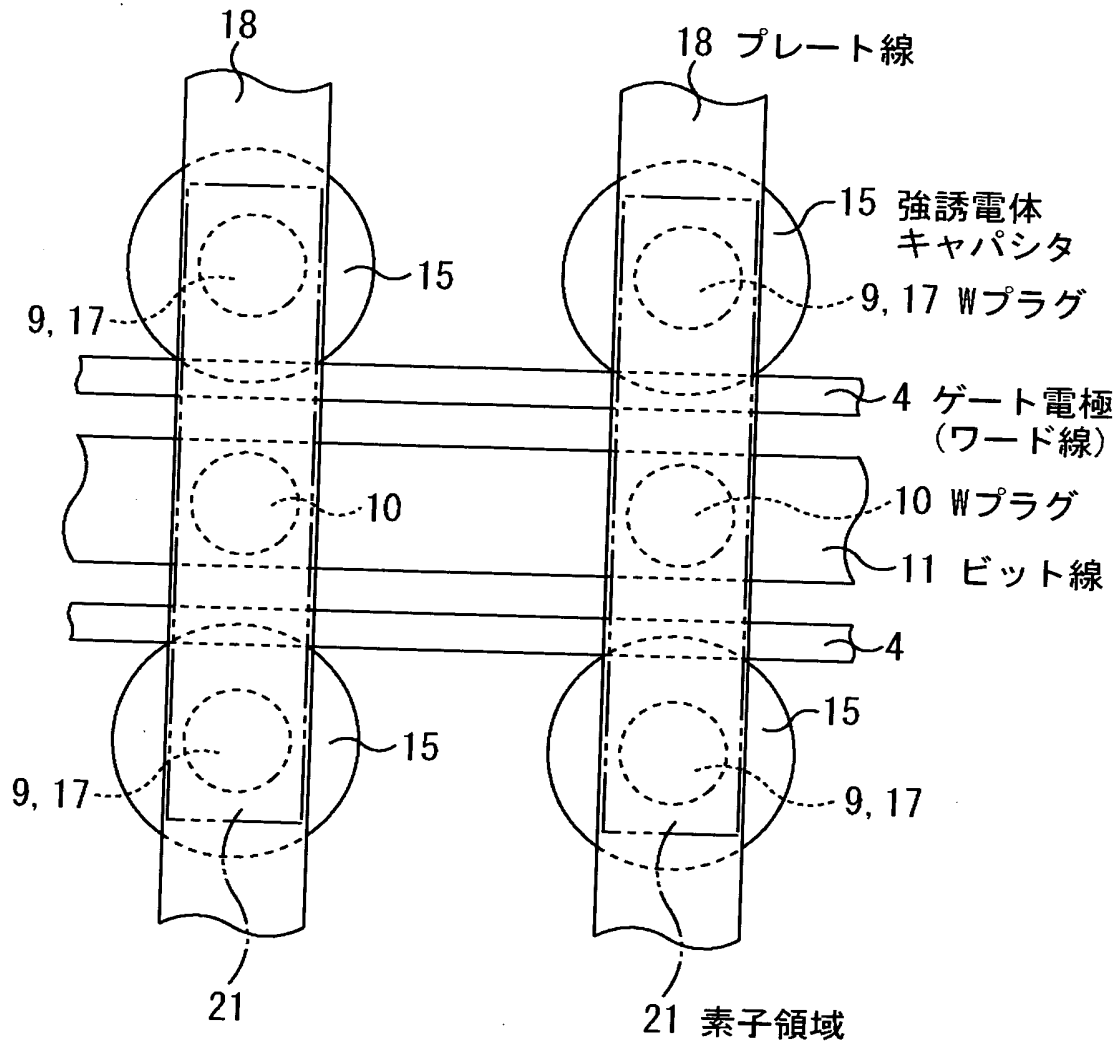
【図6】



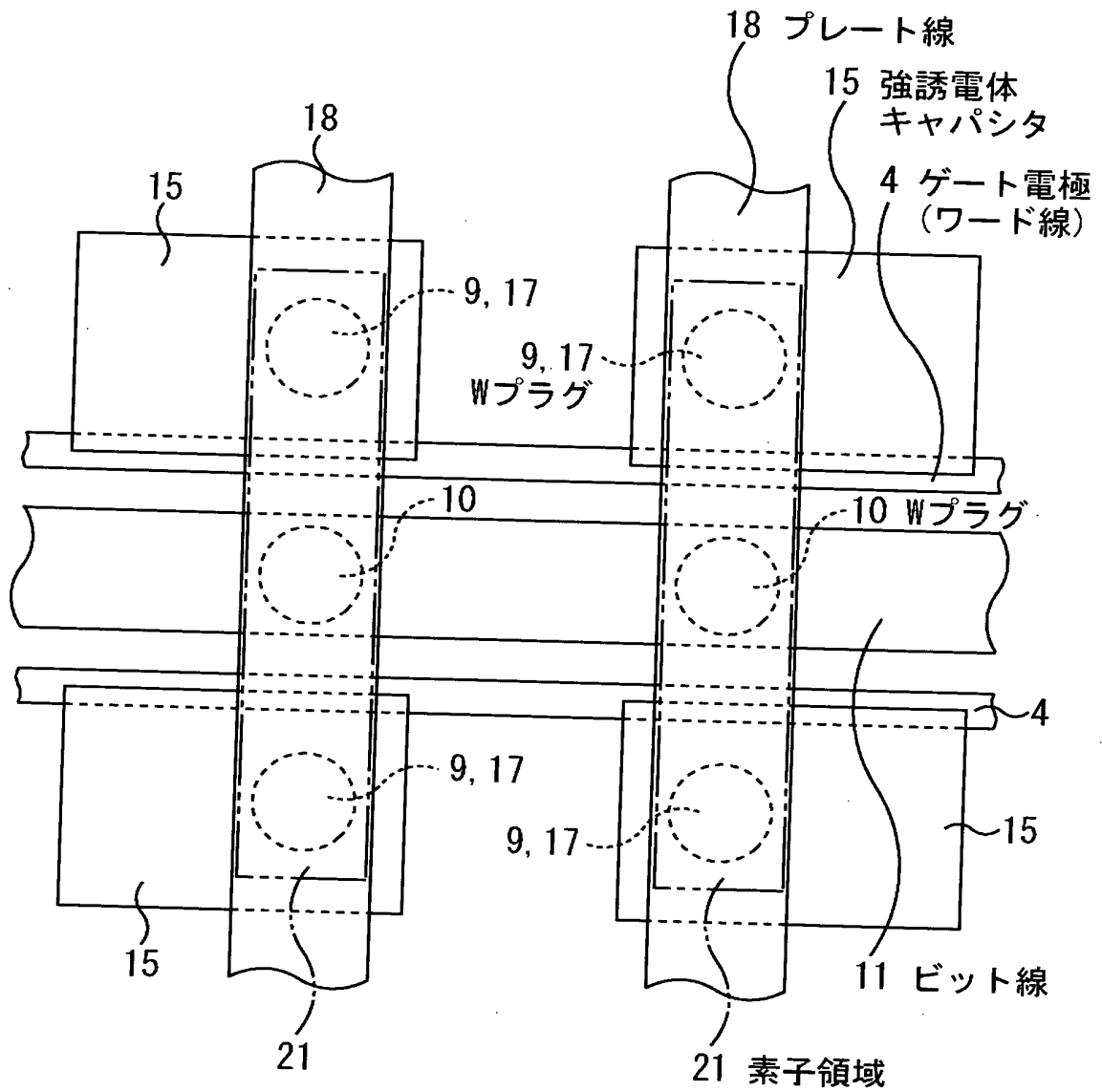
【図 7】



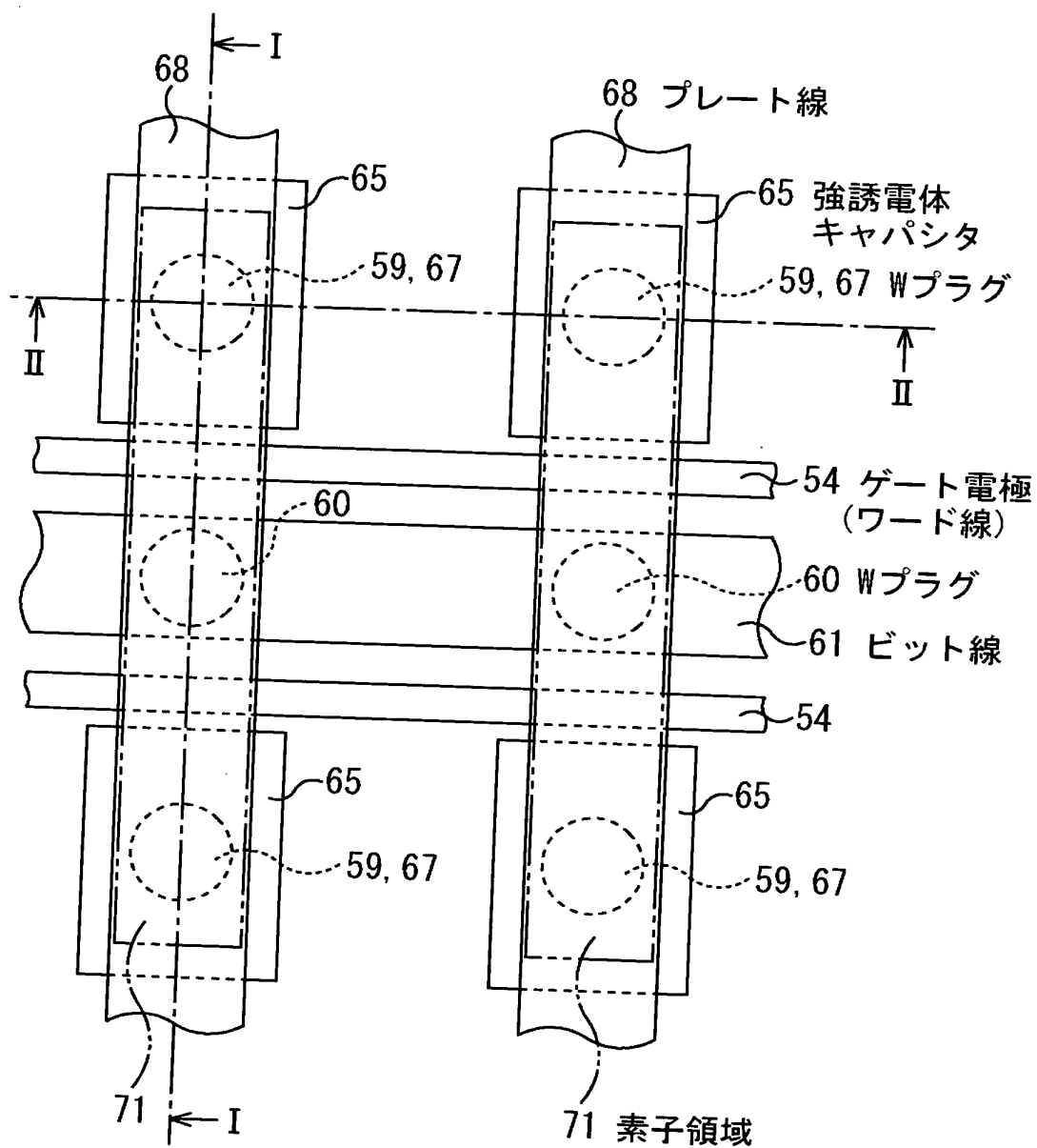
【図 8】



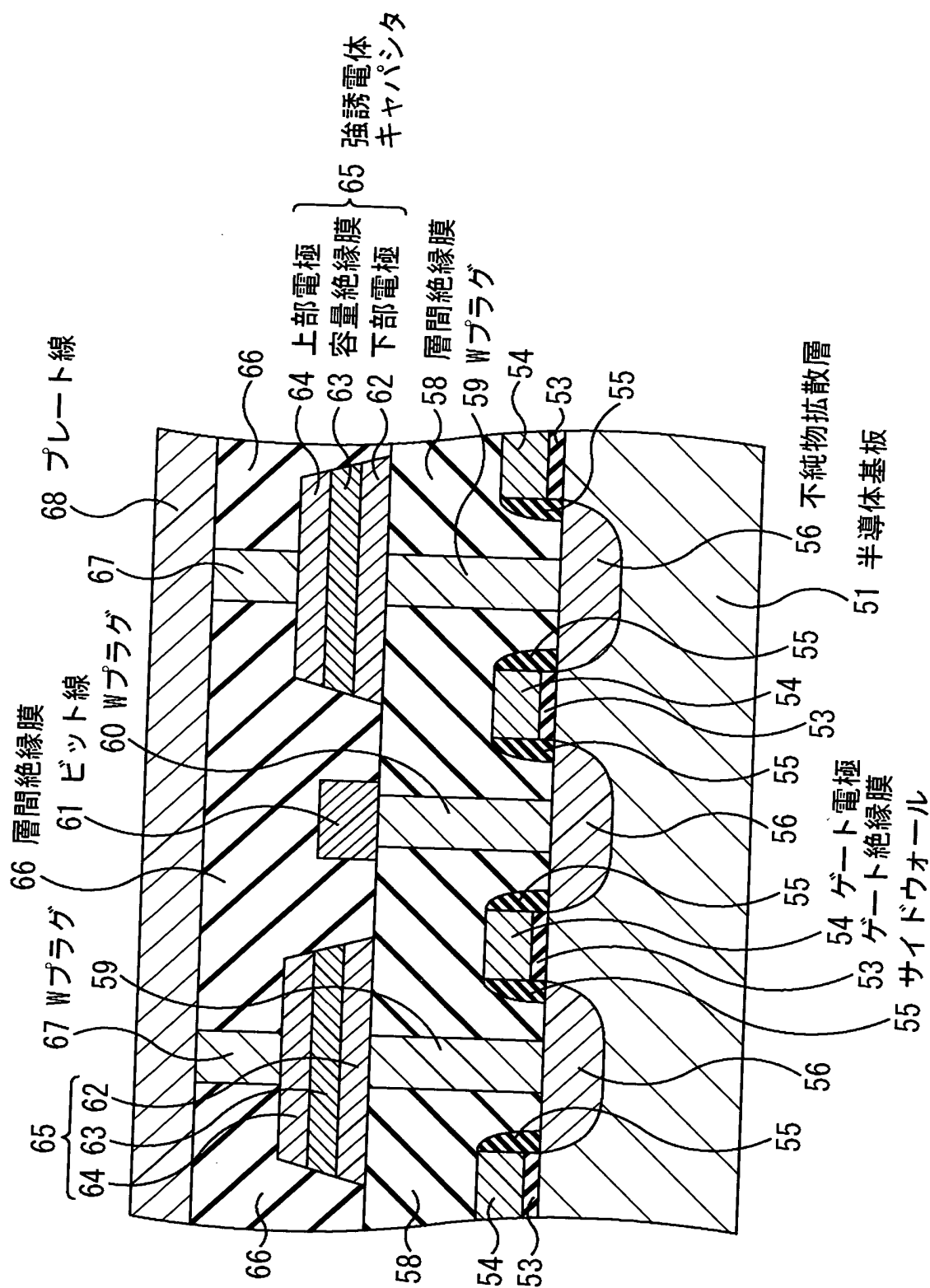
【図 9】



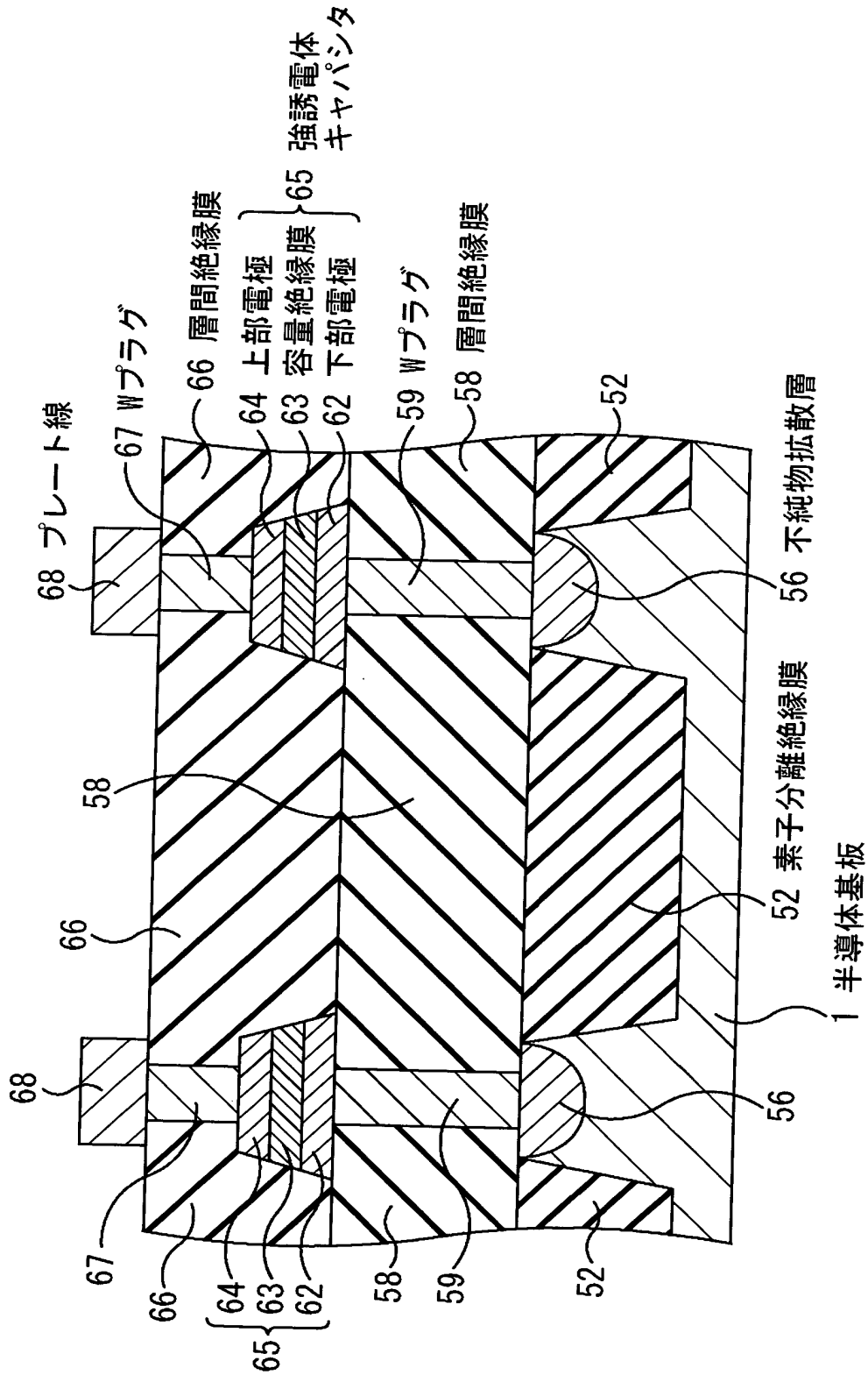
【図 10】



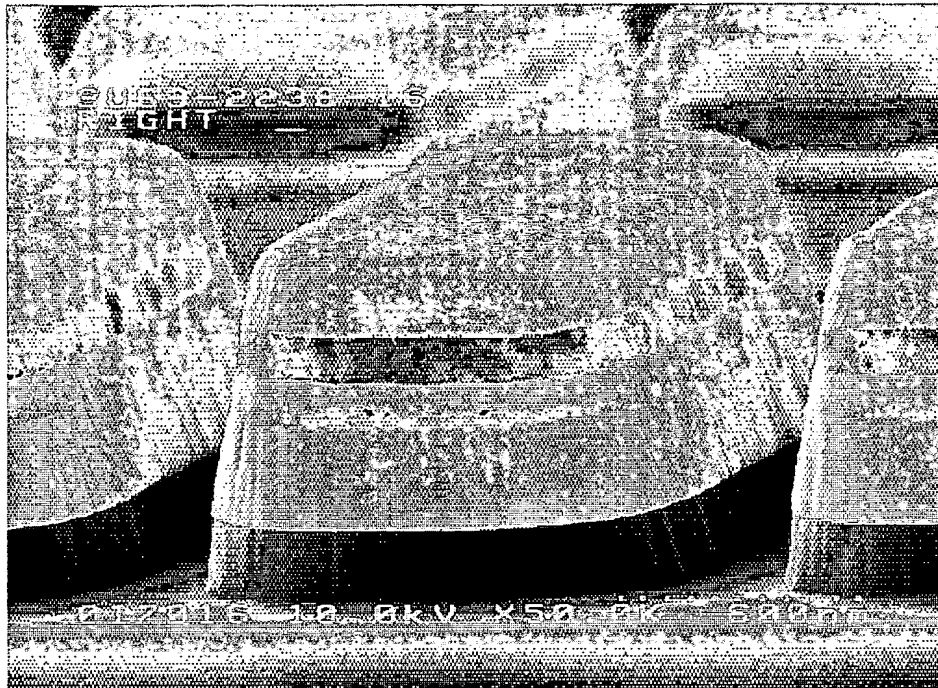
【図 11】



【図 12】



【図13】



高温一括エッチング後のSEM像

BEST AVAILABLE COPY

【書類名】 要約書**【要約】**

【課題】 強誘電体膜の局所的な損傷を抑制しながらリーク電流を十分に低減することができる構造の強誘電体キャパシタを備えた半導体装置及びその製造方法を提供する。

【解決手段】 素子領域 2 1 が延びる方向に対して 4 5 度程度傾斜した方向に延びるゲート電極 4（ワード線）がゲート絶縁膜を介して半導体基板上に形成されている。2本のゲート電極 4 により、各素子領域 2 1 が 3 分割されている。各素子領域 2 1 には、2 個ずつ MOS トランジスタが形成されており、各素子領域 2 1 の中央部に設けられた W プラグ 1 0 にビット線 1 1 が接続され、両端部に設けられた W プラグ 9 に強誘電体キャパシタ 1 5 の下部電極が接続されている。ビット線 1 1 が延びる方向は、素子領域 2 1 が延びる方向から 4 5 度程度傾斜している。

【選択図】 図 2

特願 2 0 0 3 - 3 6 4 9 1 7

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 5 2 2 3]

1. 変更年月日

1 9 9 6 年 3 月 2 6 日

[変更理由]

住所変更

住 所

神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号

氏 名

富士通株式会社